

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-149593

(P2000-149593A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 11 C 29/00	6 5 1	G 11 C 29/00	6 5 1 T 2 G 0 3 2
G 01 R 31/28		G 01 R 31/28	H 5 L 1 0 6 M 9 A 0 0 1

審査請求 未請求 請求項の数1 OL (全5頁)

(21)出願番号	特願平10-321991	(71)出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22)出願日	平成10年11月12日 (1998.11.12)	(72)発明者	山田 修 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
		(74)代理人	100066153 弁理士 草野 阜 (外1名)
			F ターム(参考) 2G032 AA00 AA07 AC03 AD06 AE06 AE08 AE11 AE12 AE14 AG07 AH04 5L106 DD22 DD32 FF05 GG03 9A001 BB02 GG01 HH34 KK37 KK54 LL05

(54)【発明の名称】 IC試験装置

(57)【要約】

【課題】 データクロックを出力するICを簡単に試験するIC試験装置を提供する。

【解決手段】 データクロックの出力のタイミングをパルス化回路で抽出し、パルス化回路で抽出したパルスをタイミング設定回路で期待する時間の範囲で遅延させて論理比較器にストローブパルスの代用として入力し、そのタイミングでデータの有無を判定し、データの入力が無ければ不良と判定する。

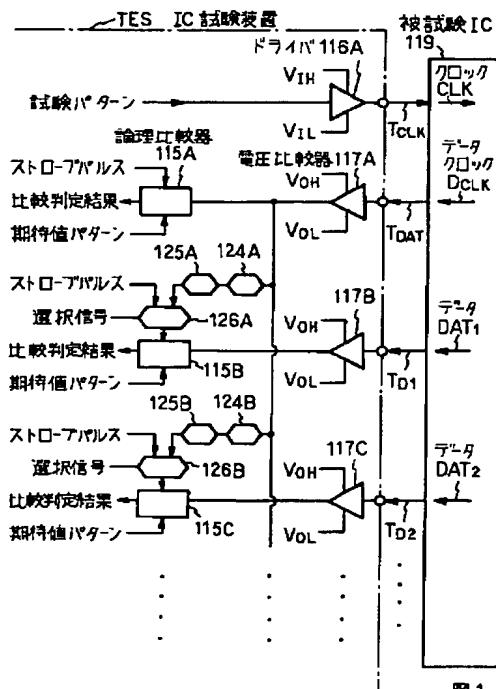


図1

## 【特許請求の範囲】

- 【請求項1】 A. 被試験ICがデータクロックと、このデータクロックに同期してデータを出力し、データクロックの出力のタイミングからデータが出力されるタイミングまでの時間が所定時間より短く期待値と一致していれば良、長い場合は不良と判定するIC試験装置において、  
 B. 上記データクロックをパルス化して取り出すパルス化回路と、  
 C. このパルス化回路で取り出したパルスを期待する時間の範囲で遅延させるタイミング設定回路と、  
 D. このタイミング設定回路で取り出したパルスをストローブパルスに替えて論理比較器に与える選択回路と、を具備して構成したことを特徴とするIC試験装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はデータクロック付ICを試験するIC試験装置に関する。

## 【0002】

【従来の技術】図4にIC試験装置の概略構成を示す。図中TESはIC試験装置の全体を示す。IC試験装置TESは主制御器111と、バターン発生器112、タイミング発生器113、波形フォーマッタ114、論理比較器115、ドライバ群116、アナログ比較器群117、不良解析メモリ118、論理振幅基準電圧源121、比較基準電圧源122、ディバイス電源123等により構成される。

【0003】主制御器111は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従って主にバターン発生器112とタイミング発生器113を制御し、バターン発生器112から試験バターンデータを発生させ、この試験バターンデータを波形フォーマッタ114で実波形を持つ試験バターン信号に変換し、この試験バターン信号を論理振幅基準電圧源121で設定した振幅値を持った波形に電圧増幅するドライバ群116を通じて被試験IC119に印加し記憶させる。

【0004】被試験IC119から読み出した応答信号はアナログ比較器群117で比較基準電圧源122から与えられる基準電圧と比較し、所定の論理レベル(H論理の電圧、L論理の電圧)を持っているか否かを判定し、所定の論理レベルを持っていると判定した信号は論理比較器115でバターン発生器112から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生ごとに不良解析メモリ118に不良アドレスを記憶し、試験終了時点で、例えば不良セルの救済が可能か否かを判定する。

【0005】ここで、タイミング発生器113は被試験IC119に与える試験バターン信号の波形の立上がり

のタイミング及び立下りのタイミングを規定するタイミングと、論理比較器115で論理比較のタイミングを規定するストローブパルスのタイミングを発生する。これらの各タイミングは利用者が作成した試験プログラムに記載され、利用者が意図したタイミングで被試験IC119を動作させ、またその動作が正常か否かを試験できるように構成されている。

【0006】ところで、ICの規模の拡大とともに、データクロック付ICが増加の傾向にある。データクロックとはICが自ら発生するクロックを指し、データクロックに同期してデータを出力する。図5にデータクロック付ICを試験する従来のIC試験装置の概略を示す。ドライバ116Aは被試験IC119のクロック入力端子T<sub>CLK</sub>に試験バターン信号の一つとして出力されるクロックCLKを入力する。V<sub>H</sub>とV<sub>L</sub>はクロックCLKのH論理の電圧とL論理の電圧を規定する電圧を示す。

【0007】被試験IC119はデータクロック端子T<sub>DAT</sub>からデータクロックD<sub>CLK</sub>を出力する。これとともにデータ出力端子T<sub>D1</sub>, T<sub>D2</sub>, ……からデータDAT<sub>1</sub>,

20 DAT<sub>2</sub>, ……を出力する。データクロックD<sub>CLK</sub>と各データDAT<sub>1</sub>, DAT<sub>2</sub>, ……はそれぞれ電圧比較器117A, 117B, 117C……でH論理及びL論理の各電圧が所定の電圧V<sub>OH</sub>, V<sub>OL</sub>を具備しているか否かを判定し、論理比較器115A, 115B, 115C……で期待値バターンと比較され、期待値と不一致が発生するとフェイルと判定する。

【0008】データクロック付のICの場合、論理比較器115A, 115B, 115C…において、被試験IC119が输出するデータDAT<sub>1</sub>, DAT<sub>2</sub>, ……が各

30 期待値と一致するか否かとは別に、データクロックD<sub>CLK</sub>の出力のタイミングから予め設定した時間の範囲内でDAT<sub>1</sub>, DAT<sub>2</sub>, ……が输出されたか否かも判定し、所定の時間より遅れて出力するICは不良と判定している。

## 【0009】

【発明が解決しようとする課題】従来のIC試験装置では、被試験IC119が输出する信号のタイミングを測定するには、被試験IC119に入力する信号CLKのタイミング(信号CLKの立上がりまたは立ち下りのタイミング)を基準に採り、この基準タイミングから各出力信号DAT<sub>1</sub>, DAT<sub>2</sub>, ……の立上がりまたは立ち下りのタイミングまでの時間を測定している。従って、被試験IC119がoutputするデータクロックD<sub>CLK</sub>のタイミングとデータDAT<sub>1</sub>, DAT<sub>2</sub>, ……のタイミングの時間差を直接測定することはできない。つまり、データクロックの出力のタイミングから所定の時間の範囲内でデータDAT<sub>1</sub>, DAT<sub>2</sub>, ……がoutputされたかを直接測定することはできない欠点がある。

【0010】このため従来は図6に示すように、クロックCLKの入力のタイミングからデータクロックD<sub>CLK</sub>

が出力されるまでの時間  $t_1$  を論理比較器 115A に供給するストローブパルスの供給タイミングを複数のテストサイクルを使って順次移動させてサーチさせて測定し、次にクロック CLK の入力のタイミングからデータ DAT<sub>1</sub>, DAT<sub>2</sub>, ……が出力されるまでの時間  $t_2$  を論理比較器 115B, 115C に供給するストローブパルスの供給タイミングを複数のテストサイクルを使って順次移動させてサーチさせて測定し、これらの時間  $t_1$  と  $t_2$  からデータクロック D<sub>CLK</sub> と各データ DAT<sub>1</sub>, DAT<sub>2</sub>, ……の出力のタイミングまでの時間  $t_3$  を  $t_3 = t_2 - t_1$  により求め、この時間  $t_3$  が所定の時間の範囲内で、かつ論理比較が一致している場合に良と判定し、論理比較が良であってもデータ DAT<sub>1</sub>, DAT<sub>2</sub>, ……の出力のタイミングが所定時間以上であれば不良と判定している。図 7 にそのフローチャートを示す。

【0011】このように、従来はデータクロック付 IC を試験するには複雑な手順に従って試験を実行するから、そのテストプログラムの作成には多くの手間が掛かるとともに、時間  $t_1$ ,  $t_2$  を測定するには複数のテストサイクルを実行しなくてはならないため、試験に要する時間が長く掛かる欠点がある。この発明の目的は、テストプログラムの作成を簡素に済ませることができ、しかも試験に要する時間も短時間に済ませができるデータクロック付 IC を試験する IC 試験装置を提供しようとするものである。

#### 【0012】

【課題を解決するための手段】この発明では、データクロックをストローブパルスとして代用して使用することにより、データの出力が所定の時間の範囲内であるか否かを直接判定できる構成を付加した IC 試験装置を提案するものである。つまり、被試験 IC が output するデータクロックの立上がりのタイミングをパルス化して抽出し、このパルスを所定の時間遅延させて論理比較器にストローブパルスとして供給し、その供給タイミングにおいて被試験 IC がデータを出力していれば、その出力のタイミングは良と判定し、データが出力されていなければ不良と判定する。

【0013】従って、この発明によればストローブパルスの位相を順次移動させてデータクロックの出力のタイミングを測定したり、データの出力のタイミングを測定する動作が不要となり、テストプログラムの作成を簡素化することができる。また、各テストサイクルごとに試験結果が得られるため、試験に要する時間も短縮できる利点が得られる。

#### 【0014】

【発明の実施の形態】図 1 にこの発明の一実施例を示す。図中、図 5 と対応する部分には同一符号を付して示す。この発明ではデータクロック D<sub>CLK</sub> を出力するデータクロック出力端子 T<sub>DAT</sub> に接続された電圧比較器 117A の出力側からパルス化回路 124A, 124B, ……

10

を通じてデータクロック D<sub>CLK</sub> の立上がりのタイミングを抽出し、このパルス化回路 124A, 124B, ……で抽出したパルスをタイミング設定回路 125A, 125B, ……を通じて選択回路 126A, 126B, ……に供給する。選択回路 126A, 126B, ……にはタイミング設定回路 125A, 125B, ……から与えられるパルスの他に、ストローブパルスが入力され、これらのパルスとストローブパルスの何れか一方を選択して、各論理比較器 115B, 115C, ……に供給する。

【0015】データクロック付 IC を試験する場合は、選択回路 126A, 126B, ……をタイミング設定回路 125A, 125B, ……から出力されるパルスを選択して各論理比較器 115B, 115C, ……に入力する状態に切り替える。この状態でタイミング設定回路 125A, 125B, ……にはデータクロック D<sub>CLK</sub> のタイミングからデータが出力されるまでの期待する時間、例えば  $t_3$  を設定する。この設定は図 4 に示した主制御器 111 から各チャンネルに設けたタイミング設定回路 125A, 125B, ……に設定される。

【0016】論理比較器 115B, 115C, ……にはデータクロック D<sub>CLK</sub> の立上がりまたは立ち下りのタイミングから時間  $t_3$  が経過したタイミングでパルスがストローブパルスの代用として与えられ、このタイミングで被試験 IC 119 のデータ端子 T<sub>D1</sub>, T<sub>D2</sub>, ……が output するデータ DAT<sub>1</sub>, DAT<sub>2</sub>, ……の信号の有無と、信号有りの場合にその論理値と期待値パターンとを論理比較する。

【0017】図 2 にその様子を示す。この発明ではデータクロック D<sub>CLK</sub> の立上がりまたは立ち下りのタイミングから時間  $t_3$  の範囲内にデータ DAT<sub>1</sub>, DAT<sub>2</sub>, ……がそれぞれ論理比較器 115B, 115C, ……に入力されれば良、時間  $t_3$  より遅く入力されれば不良と判定する。従って各テストサイクルごとに判定結果を得ることができる。

【0018】図 3 はそのフローチャートを示す。ステップ SP1 でデータクロック D<sub>CLK</sub> の出力からデータ DAT<sub>1</sub>, DAT<sub>2</sub>, ……が output されるまでの期待される時間  $t_3$  をタイミング設定回路 125A, 125B, ……に設定する。ステップ SP2 で 1 回のファンクション試験（各テストサイクル）で良／不良を判定する。

#### 【0019】

【発明の効果】以上説明したように、この発明によればストローブパルスの位相を各テストサイクルごとに順次移動させてデータクロック D<sub>CLK</sub> の出力のタイミング及びデータ DAT<sub>1</sub>, DAT<sub>2</sub>, ……の出力のタイミングを測定しなくて済むため、テストプログラムの記載は簡素化され、その作成は容易に行うことができる。また、良否の判定を各テストサイクルごとに行うことができるため、試験に要する時間を短縮することができる利点も得られる。

50

【0020】なお、上述では同時に試験する被試験IC 119の数を特に記述していないが同時に試験するICの数は1個でも複数でも、その数に制限はない。またデータクロック端子にT<sub>DAT</sub>から出力されるデータクロックD<sub>CLK</sub>をストローブパルスの代用として流用したが、被試験ICから出力される他の信号を利用して論理比較のストローブパルスに代用してもよい。

【図面の簡単な説明】

【図1】この発明の要部を説明するためのブロック図。

【図2】この発明の動作を説明するための波形図。

【図3】この発明の動作を説明するためのフローチャート。

【図4】IC試験装置の概要を説明するためのブロック図。

【図5】従来のデータクロック付ICの試験方法を説明\*

\*するためのブロック図。

【図6】図5に示したブロック図の動作を説明するための波形図。

【図7】従来のデータクロック付ICの試験装置を説明するためのフローチャート。

【符号の説明】

TES IC試験装置

119 被試験IC

115A～115C 論理比較器

116A ドライバ

117A～117C 電圧比較器

124A, 124B パルス化回路

125A, 125B タイミング設定回路

126A, 126B 選択回路

【図1】

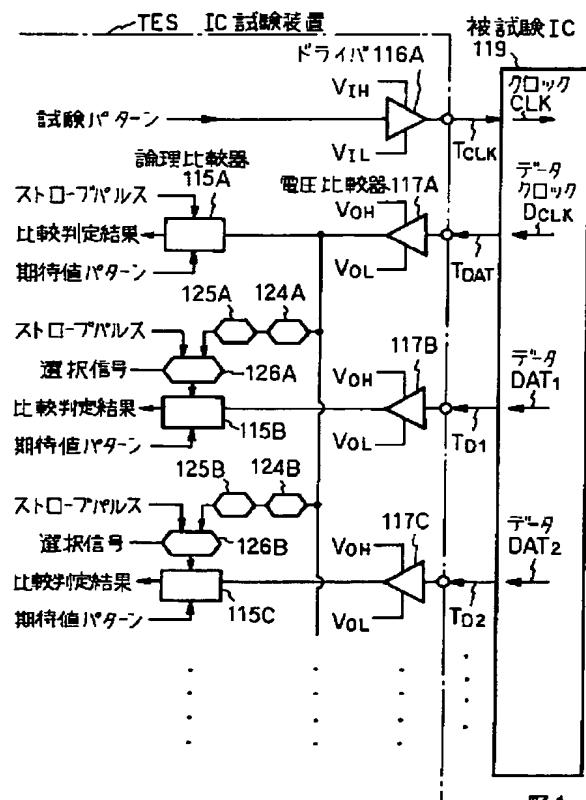


図1

【図2】

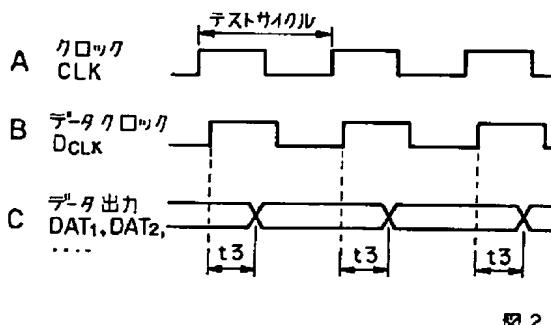


図2

【図3】

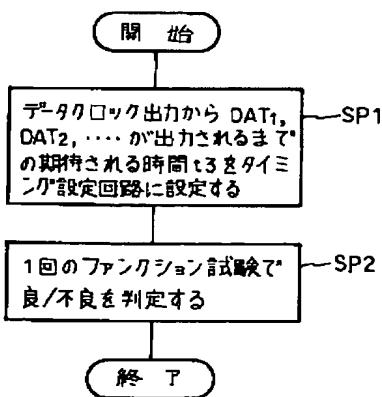
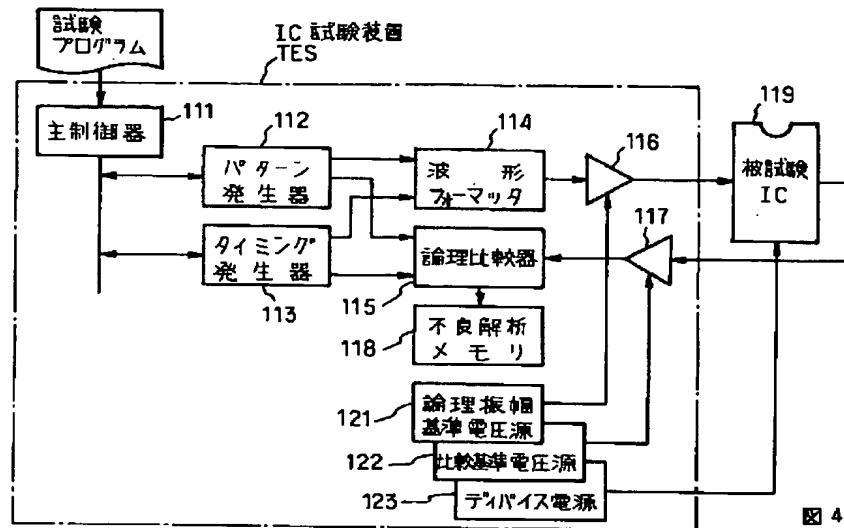
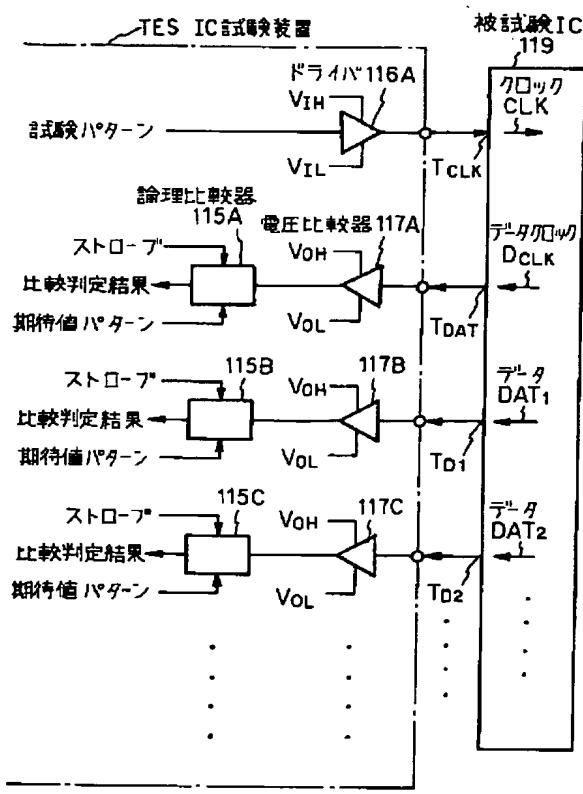


図3

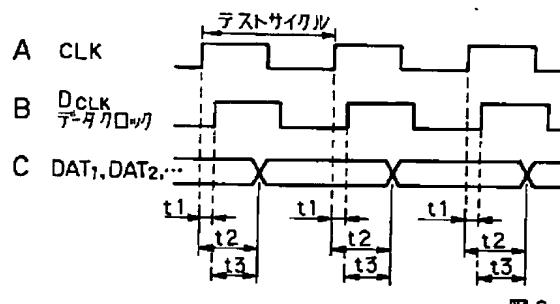
【図4】



【図5】



【図6】



【図7】

